



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 10-2003-0045784  
Application Number

출원 년 월 일 : 2003년 07월 07일  
Date of Application JUL 07, 2003

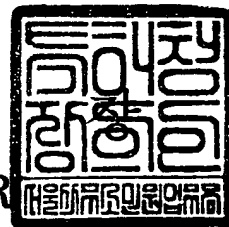
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 10 월 08 일

특 허 청

COMMISSIONER



CERTIFIED COPY OF



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2003.07.07
【발명의 명칭】	강유전체 메모리 소자 및 그 형성 방법
【발명의 영문명칭】	A Ferroelectric memory device and a method of forming the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	이규만
【성명의 영문표기】	LEE, KYU-MANN
【주민등록번호】	670922-1767823
【우편번호】	449-906
【주소】	경기도 용인시 기흥읍 서천리 현대아파트 101동 1602호
【국적】	KR
【발명자】	
【성명의 국문표기】	박건상
【성명의 영문표기】	PARK, KUN-SANG
【주민등록번호】	740203-1536217
【우편번호】	441-390
【주소】	경기도 수원시 권선구 권선동 1283-5 엘리트빌 B동 108호
【국적】	KR

**【발명자】****【성명의 국문표기】**

남상돈

**【성명의 영문표기】**

NAM, SANG-DON

**【주민등록번호】**

741111-1550218

**【우편번호】**

135-270

**【주소】**

서울특별시 강남구 도곡동 951-18번지 월산주택 304호

**【국적】**

KR

**【우선권주장】****【출원국명】**

KR

**【출원종류】**

특허

**【출원번호】**

10-2002-0073906

**【출원일자】**

2002.11.26

**【증명서류】**

미첨부

**【심사청구】**

청구

**【취지】**

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
 임창현 (인) 대리인  
 권혁수 (인)

**【수수료】****【기본출원료】**

20 면 29,000 원

**【가산출원료】**

16 면 16,000 원

**【우선권주장료】**

1 건 26,000 원

**【심사청구료】**

26 항 941,000 원

**【합계】**

1,012,000 원

**【첨부서류】**

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

강유전체 메모리 소자 및 그 형성 방법을 제공한다. 상기 메모리 소자 및 그 형성 방법에 따르면, 반도체 기판 상에 층간절연막 및 보호접착막을 차례로 적층하고 패터닝하여 상기 반도체 기판을 노출시키는 콘택홀을 형성한다. 상기 콘택홀을 통해 상기 반도체 기판과 전기적으로 접하는 매몰콘택을 형성한다. 상기 매몰콘택과 중첩되면서 상기 매몰콘택 주변의 상기 보호접착막의 일부를 덮도록 하부전극을 형성한다. 상기 하부전극을 덮는 강유전체막을 형성한다. 그리고, 상기 강유전체막 상에 상기 하부전극과 중첩되는 상부전극을 형성한다. 이로써, 보호접착막이 하부전극 및 강유전체막을 그 하부의 층간절연막으로부터 완전히 분리하여 종래의 계면 반응에 따른 보이드의 형성 및 들뜸 현상을 방지할 수 있다. 이 방법에 있어서, 하부전극을 형성하기 전에 상기 매몰콘택의 상부를 리세스시키고 베리어막을 채우고 평탄화하여 베리어막패턴을 형성할 수 있다. 이로써 상기 베리어막패턴과 상기 강유전체막을 접하지 않도록 형성하여 파이로클로르상 형성 없이 매몰콘택의 산화등을 방지할 수 있다.

**【대표도】**

도 3

**【색인어】**

강유전체, 티타늄 산화막, 베리어막

**【명세서】****【발명의 명칭】**

강유전체 메모리 소자 및 그 형성 방법{A Ferroelectric memory device and a method of forming the same}

**【도면의 간단한 설명】**

도 1은 종래기술에 따른 강유전체 메모리 소자의 개략적인 단면도를 나타낸다.

도 2는 다른 종래기술에 따른 강유전체 메모리 소자의 개략적인 단면도를 나타낸다.

도 3은 본 발명의 일 실시예에 따른 강유전체 메모리 소자의 개략적인 단면도를 나타낸다.

도 4a 내지 도 4d는 도 3의 강유전체 메모리 소자를 순차적으로 형성하는 방법을 나타내는 공정단면도들이다.

도 5은 도 3의 상태에서 일 후속공정을 더 진행하여 형성한 강유전체 메모리 소자의 개략적인 단면도를 나타낸다.

도 6은 도 3의 상태에서 다른 후속공정을 더 진행하여 형성한 강유전체 메모리 소자의 개략적인 단면도를 나타낸다.

도 7은 본 발명의 다른 실시예에 따른 강유전체 메모리 소자의 개략적인 단면도를 나타낸다.

도 8a 내지 도 8d는 도 7의 강유전체 메모리 소자를 순차적으로 형성하는 방법을 나타내는 공정단면도들이다.



도 9는 도 7의 상태에서 일 후속공정을 더 진행하여 형성한 강유전체 메모리 소자의 개략적인 단면도를 나타낸다.

도 10은 도 7의 상태에서 다른 후속공정을 더 진행하여 형성한 강유전체 메모리 소자의 개략적인 단면도를 나타낸다.

**【발명의 상세한 설명】**

**【발명의 목적】**

**【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<11> 본 발명은 강유전체 메모리 소자 및 그 형성 방법에 관한 것으로, 특히 파이크로르상이 없는 강유전체 메모리 소자 및 그 형성 방법에 관한 것이다.

<12> 강유전체 메모리 소자는 강유전체막의 분극(Polarization) 현상을 이용한다. 여러 강유전체 메모리 소자들중의 한 종류는 하나의 액세스 트랜지스터(access transistor) 및 강유전체막을 유전막으로 사용하는 하나의 셀 캐패시터(cell capacitor)로 구성된다.

<13> 도 1은 종래기술에 따른 강유전체 메모리 소자의 개략적인 단면도를 나타낸다.

<14> 도 1의 강유전체 메모리 소자를 형성하는 방법은 다음과 같다. 먼저, 반도체 기판(1) 상에 게이트전극들(미도시)을 형성하고 상기 게이트전극들 사이의 반도체 기판(1)에 소오스/드레인 영역(미도시)을 형성한다. 상기 소오스/드레인 영역 및 상기 게이트전극들을 덮도록 층간절연막(3)을 적층한다. 상기 층간절연막은 주로

실리콘산화막 계열의 물질로 형성된다. 상기 층간절연막(3)을 패터닝하여 상기 반도체 기판(1)의 드레인 영역을 노출시키는 콘택홀을 형성하고 상기 콘택홀을 도전막으로 채워 매몰콘택(5)을 형성한다. 상기 매몰콘택(5)이 형성된 상기 반도체 기판(1)의 전면 상에 하부전극막을 적층하고 패터닝하여 하부전극(7)을 형성한다. 상기 하부전극(7)을 덮는 강유전체막(9)을 적층한다. 상기 강유전체막(9)을 결정화하기 위하여 어닐링 공정을 실시한다. 상기 강유전체막(9) 상에 상부전극막을 적층하고 패터닝하여 상부전극(11)을 형성한다.

<15> 상기 과정에 있어서, 상기 하부전극(7)을 적층할때, 상기 층간절연막(3) 상에서는 잘 적층이 되지않아 도 1에서처럼 상기 층간절연막(3)과 상기 하부전극(7) 사이의 계면이 불균일해지고 들뜨게 되는 문제점(E)이 발생된다. 또한 상기 강유전체막(9)이 페로브스카이트 구조(perovskite structure)를 갖도록 결정화하기 위해 어닐링 공정을 실시할 때, 상기 하부전극(7)에 의해 덮이지 않고 노출된 상기 층간절연막(3)과 상기 강유전체막(9) 사이의 계면에서 두막들(3, 9)간의 반응이 일어나서 상기 강유전체막(9)이 파이로클로르(pyrochlore)상으로 변하게 되며 부피팽창이 일어날 수 있다. 이는 후속으로 보이드(V)를 형성할 수 있으며 메모리 소자의 오작동을 야기할 수 있다.

<16> 이를 방지하기 위하여 대한민국 등록특허공보 제 10-0195262에서 개시된 강유전체 메모리 소자 및 그 형성방법을 도 2를 참조하여 설명하기로 한다.

<17> 도 2를 참조하면, 도 1의 매몰콘택(5)이 형성된 상기 반도체 기판(1)의 전면 상에 티타늄산화막과 같은 보호접착막(6)을 적층하고 패터닝하여 상기 매몰콘택(5)



을 노출한다. 후속으로 상기 보호접착막(6)의 일부 및 상기 노출된 매물콘택(5)을 덮도록상기 하부전극(7)을 형성하고 후속으로 강유전체막(9) 및 상부전극(11)을 형성한다. 그러나, 도 2의 구조 및 그 형성 방법은 상기 보호접착막(6)이 매물콘택(5)의 형성후에 패터닝되기에 오정렬(mis-alignment)에 취약하여, 상기 하부전극(7)과 상기 층간절연막(3)이 접할 수 있고, 또한 그 계면에서 도 1과 같이 문제점(E)이 발생될 수 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<18> 따라서, 본 발명의 기술적 과제는 상기 문제를 해결할 수 있으며 신뢰성 있는 강유전체 메모리 소자 및 그 형성방법을 제공하는데 있다.

#### 【발명의 구성 및 작용】

<19> 따라서, 상기 기술적 과제를 달성하기 위한 본 발명에 따른 강유전체 메모리 소자는 반도체 기판, 상기 반도체 기판을 노출시키는 콘택홀을 구비하는 차례로 적층된 층간절연막 및 보호접착막, 상기 콘택홀을 통해 상기 반도체 기판과 전기적으로 접하는 매물 콘택, 상기 매물 콘택과 중첩되면서 상기 매물콘택 주변의 상기 보호접착막의 일부를 덮는 하부전극, 상기 하부전극 및 상기 보호접착막을 덮는 강유전체막, 및 상기 강유전체막을 덮으며 상기 하부전극과 중첩되는 상부전극을 구비한다. 상기 강유전체 메모리 소자에 있어서, 상기 보호접착막은 바람직하게는 티타늄산화막( $\text{TiO}_2$ )으로 이루어진다.

<20> 상기 강유전체 메모리 소자는 상기 콘택홀 안에서 상기 매물콘택과 상기 하부전극 사이에 개재되는 베리어막패턴을 더 구비할 수 있다. 이때 상기 베리어막 패턴은  $\text{TiN}$ ,  $\text{TiAlN}$ ,  $\text{TiSi}_x$ ,  $\text{TiSiN}$ ,  $\text{TaSiN}$ , 및  $\text{TaAlN}$ 을 포함하는 그룹에서 선택되는 적어도 하나의 물질로 이루어질 수 있다.





- <21>      상기 강유전체 메모리 소자에 있어서, 상기 상부전극은 바람직하게는 적어도 2개의 상기 하부전극들과 동시에 중첩된다. 상기 강유전체 메모리 소자는 상기 강유전체막과 상기 상부전극을 덮는 상부충간절연막, 및 상기 상부충간절연막을 관통하여 상기 상부전극과 전기적으로 접속하는 플레이트라인(Plate line)을 더 구비할 수 있다. 더 나아가, 상기 강유전체 메모리 소자는 상기 상부충간절연막 상에 스트립라인(Strip line), 및 상기 스트립라인을 덮는 상부금속충간절연막을 더 구비할 수 있으며 이때 상기 플레이트라인은 상기 상부금속충간절연막과 상기 상부충간절연막을 차례로 관통하여 상기 상부전극과 전기적으로 접속할 수 있다.
- <22>      상기 강유전체 메모리 소자는 다음의 방법을 이용하여 형성될 수 있다. 상기 방법에 따르면, 먼저 반도체 기판 상에 충간절연막 및 보호접착막을 차례로 적층한다. 상기 보호접착막 및 상기 충간절연막을 패터닝하여 상기 반도체 기판을 노출시키는 콘택홀을 형성한다. 상기 콘택홀 안에 상기 반도체 기판과 전기적으로 접속하는 매몰콘택을 형성한다. 상기 매몰 콘택과 중첩되면서 상기 매몰콘택 주변의 상기 보호접착막의 일부를 덮도록 하부전극을 형성한다. 상기 하부전극 및 상기 보호접착막을 덮도록 강유전체막을 형성한다. 그리고 상기 강유전체막을 덮으며 상기 하부전극과 중첩되도록 상부전극을 형성한다.
- <23>      상기 방법에 있어서, 상기 하부전극을 형성하기 전에, 상기 매몰콘택의 상부를 리세스시키고, 베리어막을 적층하여 상기 콘택홀 내의 상기 매몰콘택이 리세스된 영역을 채우고, 상기 베리어막에 대해 평탄화 공정을 진행하여 상기 보호접착막을 노출시키는 동시에 상기 콘택홀 내에 상기 리세스된 매몰콘택 상에 베리어막패턴을 형성할 수 있다.
- <24>      상기 방법에 있어서, 상기 상부전극은 바람직하게는 적어도 2개의 상기 하부전극들과 동시에 중첩되도록 형성될 수 있다. 후속 공정으로 상기 강유전체막과 상기 상부전극을 덮는 상부충간절연막을 형성하고, 상기 상부충간절연막을 관통하여 상기 상부전극과 전기적으로 접속

하는 플레이트 라인을 형성할 수 있다. 상기 플레이트라인을 형성하기 전에, 상기 상부층간절연막 상에 스트립라인을 형성하고 상기 스트립라인을 덮는 상부금속층간절연막을 형성할 수 있으며, 이때 상기 플레이트라인은 상기 상부금속층간절연막과 상기 상부층간절연막을 차례로 관통하여 상기 상부전극과 전기적으로 접속할 수 있다.

<25> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 층이 다른 층 또는 기판 상에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다.

<26> <실시예 1>

<27> 도 3은 본 발명의 일 실시예에 따른 강유전체 메모리 소자의 개략적인 단면도를 나타낸다.

<28> 도 3을 참조하면, 반도체 기판(100) 상에는 복수개의 게이트전극들(미도시)이 배치되고 상기 게이트전극들 사이의 반도체 기판(100)에 소오스/드레인 영역(미도시)들이 위치한다. 상기 소오스 영역과 접하는 비트라인(미도시)이 위치한다. 상기 반도체 기판(100) 상에 상기 복수개의 게이트전극들 및 소오스/드레인 영역들을 덮도록 차례로 적층된 층간절연막(110) 및 보호접착막(120)이 위치한다. 상기 보호접착막(120)은 티타늄산화막( $\text{TiO}_2$ )으로 이루어진다.

<29> 상기 보호접착막(120) 및 상기 층간절연막(110)을 차례로 관통하며 상기 반도체 기판(100)의 드레인 영역(미도시)을 노출시키는 콘택홀(125)이 형성된다. 상기 콘택홀(125)을 채우

는 동시에 상기 드레인 영역(미도시)과 전기적으로 접하도록 매물 콘택(130)이 형성되어 있다. 상기 매물 콘택(130)과 중첩되면서 상기 매물콘택(130)의 주변에 위치하는 상기 보호접착막(120)을 일부 덮도록 하부전극(140)이 형성되어 있다. 상기 하부전극(14) 및 상기 하부전극(14)에 의해 덮이지 않고 노출된 상기 보호접착막(120)을 덮도록 강유전체막(140)이 위치하고 그 위에 상기 강유전체막(150)을 일부 덮으며 상기 하부전극(140)과 겹치도록 상부전극(160)이 배치되어 커패시터를 이룬다. 상기 상부전극(160)은 2개의 상기 하부전극(140)들과 동시에 중첩된다.

<30>      상기 강유전체막(150)은  $\text{PZT}[\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3]$ ,  $\text{PbTiO}_3$ ,  $\text{SrTiO}_3$ ,  $\text{BaTiO}_3$ ,  $\text{PbLaTiO}_3$ ,  $(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$ ,  $\text{BST}[(\text{Ba}, \text{Sr})\text{TiO}_3]$ ,  $\text{Ba}_4\text{Ti}_3\text{O}_{12}$ ,  $\text{SrBi}_2\text{Ta}_2\text{O}_9$  및  $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 을 구비하는 그룹에서 선택되는 하나의 물질로 이루어질 수 있다. 상기 하부전극(140) 및 상기 상부전극(160)은 루테튬(Ru), 이리듐(Ir), 플래티늄(Pt), 로듐(Rh), 오스뮴(Os), 팔라듐(Pd), 루테튬산화물( $\text{RuO}_x$ ), 이리듐산화물( $\text{IrO}_x$ ), 및 플래티늄산화물( $\text{PtO}_x$ ), 로듐산화물( $\text{RhO}_x$ ), 오스뮴산화물( $\text{OsO}_x$ ), 및 팔라듐산화물( $\text{PdO}_x$ )을 구비하는 그룹에서 선택되는 적어도 하나의 물질로 이루어질 수 있다.

<31>      상기 구조에 있어서, 티타늄산화막으로 이루어지는 상기 보호접착막(120)은 상기 하부전극(140)과의 접착력이 좋으며 상기 강유전체막(150)에 파이로클로르상을 유발하지 않는다. 즉, 상기 보호접착막(120)은 상기 하부전극(140)과 상기 층간절연막(110)과의 계면에서 접착막(glue layer)의 역할을 하며, 상기 강유전체막(150)이 상기 층간절연막(110)과의 계면에서 발생하는 반응을 억제하는 보호막(protecting layer)의 역할을 한다. 따라서 상기 하부전극(140) 및 상기 강유전체막(150)이 상기 층간절연막(110)로부터 상기 보호접착막(120)에 의해 완전히



분리되기에, 상기 층간절연막과의 계면에서 발생하는 반응에 의한 보이드(V) 및 들뜸(E) 현상이 방지될 수 있다.

<32> 또한 상기 구조에 있어서, 상기 상부전극(160)이 2개의 상기 하부전극(140)들과 동시에 중첩되어 후속에 플레이트라인을 형성할 시 공정 마진을 충분히 확보할 수 있다.

<33> 도 4a 내지 도 4d는 도 3의 강유전체 메모리 소자를 순차적으로 형성하는 방법을 나타내는 공정단면도들이다.

<34> 도 4a를 참조하면, 반도체 기판(100) 상에 복수개의 게이트전극(미도시)들을 형성하고 상기 게이트전극들 사이의 상기 반도체 기판(100)에 소오스/드레인 영역(미도시)들을 형성한다. 상기 소오스 영역(미도시)과 접하는 비트라인(미도시)을 형성한다. 상기 게이트전극들 및 상기 소오스/드레인 영역들을 구비하는 상기 반도체 기판(100)의 전면 상에 층간절연막(110)을 형성한다. 상기 층간절연막(110)은 PECVD(Plasma-enhanced chemical vapor deposition), LPCVD(Low-pressure chemical vapor deposition), ALD(Atomic layer deposition), 및 SOG(Spin on glass)를 포함하는 그룹에서 선택되는 적어도 하나의 방법을 이용하여, HSQ(Hydrogen Silsesquioxane), BPSG(Boron Phosphorus Silicate Glss), HDP(High density plasma) 산화막, PETEOS(plasma enhanced tetraethyl orthosilicate), USG(Undoped Silicate Glass), PSG(Phosphorus Silicate Glss), PE-SiH<sub>4</sub> 및 Al<sub>2</sub>O<sub>3</sub>를 포함하는 그룹에서 선택되는 적어도 하나의 물질로 형성될 수 있다. 상기 층간절연막(110) 상에 보호접착막(120)을 적층한다. 상기 보호접착막(120)은 CVD등의 방법을 이용하여 티타늄산화막(TiO<sub>2</sub>)으로 형성될 수 있다.

<35> 도 4b를 참조하면, 상기 보호접착막(120) 및 상기 층간절연막(110)을 연속적



으로 패터닝하여 상기 반도체 기판(100)의 드레인 영역(미도시)을 노출시키는 콘택홀(125)을 형성한다. 티타늄산화막으로 이루어지는 상기 보호접착막(120)은  $\text{CHF}_3$ , 및  $\text{CF}_4$ 와 같은 탄화불소계 가스와  $\text{Cl}_2$ 와 같은 염소계 가스의 혼합 가스를 이용하여 식각될 수 있으며, 상기 층간절연막(110)은  $\text{CHF}_3$  및  $\text{CF}_4$ 와 같은 탄화불소계 가스를 이용하여 식각될 수 있다.

<36> 도 4c를 참조하면, 상기 콘택홀(125)이 형성된 상기 반도체 기판(100)의 전면상에 도전막(129)을 적층하여 상기 콘택홀(125)을 채운다. 상기 도전막(129)은 텅스텐, 알루미늄, 구리 및 불순물이 도핑되거나 도핑되지 않은 폴리실리콘막을 포함하는 그룹에서 선택되는 적어도 하나의 물질일 수 있다.

<37> 도 4d를 참조하면, 상기 도전막(129)에 대해 CMP(Chemical mechanical polishing)등의 평탄화 공정을 실시하여 상기 보호접착막(120)을 노출시키는 동시에 상기 콘택홀(125) 안에 상기 도전막(129)으로 이루어지는 매몰콘택(130)을 형성한다. 상기 매몰콘택(130)이 형성된 상기 반도체 기판(100)의 전면상에 하부전극막(미도시)을 적층하고 패터닝하여 상기 매몰콘택(130)과 중첩되며 상기 보호접착막(120)을 일부 덮는 하부전극(140)을 형성한다. 상기 하부전극(140)은 루테튬(Ru), 이리듐(Ir), 플래티늄(Pt), 로듐(Rh), 오스뮴(Os), 팔라듐(Pd), 루테튬산화물( $\text{RuO}_x$ ), 이리듐산화물( $\text{IrO}_x$ ), 및 플래티늄산화물( $\text{PtO}_x$ ), 로듐산화물( $\text{RhO}_x$ ), 오스뮴산화물( $\text{OsO}_x$ ), 및 팔라듐산화물( $\text{PdO}_x$ )을 구비하는 그룹에서 선택되는 적어도 하나의 물질의 단일막 또는 다층막으로 형성될 수 있다. 상기 하부전극막은 상기 보호접착막(120) 상에서 종래와 같이 들뜸 현상(도 1 및 도 2의 E) 없이 잘 증착된다.

<38> 후속으로, 도 3을 참조하여 상기 하부전극(140) 및 상기 하부전극(140)에 의해 덮이지 않고 노출된 보호접착막(120)을 덮도록 강유전체막(150)을 적층한다. 상기 강유전체막(150)은



PZT[Pb(Zr,Ti)O<sub>3</sub>], PbTiO<sub>3</sub>, SrTiO<sub>3</sub>, BaTiO<sub>3</sub>, PbLaTiO<sub>3</sub>, (Pb,La)(Zr,Ti)O<sub>3</sub>, BST[(Ba,Sr)TiO<sub>3</sub>], Ba<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>, SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub> 및 Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>을 구비하는 그룹에서 선택되는 하나의 물질로 형성될 수 있다. 상기 강유전체막(150)은 스퍼터링(Sputtering), 화학기상증착(Chemical Vapor Deposition), 솔-겔(Sol-gel), 원자박막증착(Atomic layer deposition)을 포함하는 그룹에서 선택되는 하나의 방법을 이용하여 형성될 수 있다. 상기 강유전체막(150)이 페로브스카이트 구조를 갖도록 어닐링(annealing) 공정을 진행한다. 상기 강유전체막(150)이 상기 층간절연막(110)과 접하지 않으므로 파이로클로르상이 형성되지 않으며 종래와 같이 부피팽창에 의한 보이드(도 1의 V)가 형성되지 않는다.

<39> 상기 강유전체막(150) 상에 상부전극막(미도시)을 적층하고 패터닝하여 상기 하부전극(140)과 중첩되며 상기 강유전체막(150)을 일부 덮도록 상부전극(160)을 형성한다. 상기 상부전극(160)은 루테튬(Ru), 이리듐(Ir), 플래티늄(Pt), 로듐(Rh), 오스뮴(Os), 팔라듐(Pd), 루테튬산화물(RuO<sub>x</sub>), 이리듐산화물(IrO<sub>x</sub>), 및 플래티늄산화물(PtO<sub>x</sub>), 로듐산화물(RhO<sub>x</sub>), 오스뮴산화물(OsO<sub>x</sub>), 및 팔라듐산화물(PdO<sub>x</sub>)을 구비하는 그룹에서 선택되는 적어도 하나의 물질의 단일막 또는 다중막으로 형성될 수 있다. 상기 상부전극(160)은 바람직하게는 도 3과 같이 적어도 2개의 하부전극(140)과 동시에 중첩되도록 형성된다. 이는 후속에서 형성될 플레이트 라인을 위한 그루브 형성시 공정마진을 높일 수 있게 한다.

<40> 도 5은 도 3의 상태에서 일 후속공정을 더 진행하여 형성한 강유전체 메모리 소자의 개략적인 단면도를 나타낸다.

<41> 도 5를 참조하면, 도 3의 상태에서 상부층간절연막(170)을 적층한다. 상기 상부층간절연막(170)은 상기 층간절연막(110)과 동일한 방법으로 동일한 물질로 형성될 수 있다. 상기 상부층간절연막(170)을 패터닝하여 상기 상부전극(160)을 노출시키는 그루브(175)를 형성한다. 이



때 상기 상부전극(160)은 식각저지막의 역할을 한다. 상기 그루브(175)의 프로파일을 따라 콘포말하게 도전성 물질을 적층하고 패터닝하여 도 5와 같이 플레이트라인(180)을 형성한다. 상기 상부전극(160)이 적어도 2개의 상기 하부전극(140)과 동시에 중첩됨으로 면적이 넓어 상기 그루브(175) 형성시 충분한 공정 마진을 확보할 수 있다.

<42> 도 6은 도 3의 상태에서 다른 후속공정을 더 진행하여 형성한 강유전체 메모리 소자의 개략적인 단면도를 나타낸다.

<43> 도 6을 참조하면, 도 3의 상태에서 상부충간절연막(170)을 적층한다. 상기 상부충간절연막(170) 상에 스트립 라인(172)등을 형성하는 배선 공정을 진행한 후 상기 스트립 라인(172)을 덮는 상부금속충간절연막(174)을 형성한다. 상기 상부금속충간절연막(174) 및 상기 상부충간절연막(170)을 차례로 패터닝하여 상기 상부전극(160)을 노출시키는 그루브(175)를 형성하고 상기 그루브(175)를 통해 상기 상부전극(160)과 전기적으로 접속하는 플레이트 라인(180)을 형성한다. 상기 스트립 라인(172) 및 상기 플레이트 라인(180)은 알루미늄(Al), 구리(Cu), 텅스텐(W), 루테튬(Ru), 이리듐(Ir), 플래티늄(Pt), 로듐(Rh), 오스뮴(Os), 팔라듐(Pd), 코발트(Co), 니켈(Ni), 티타늄(Ti), 탄탈륨(Ta), 티타늄질화막(TiN) 및 탄탈륨질화막(TaN)을 포함하는 그룹에서 선택되는 적어도 하나의 물질로 형성될 수 있다.

<44> <실시예 2>

<45> 도 7은 본 발명의 다른 실시예에 따른 강유전체 메모리 소자의 개략적인 단면도를 나타낸다.

<46> 도 7을 참조하면, 콘택홀(125) 안에서 하부전극(140)과 매몰콘택(125) 사이에 베리어막 패턴(135)이 개재된다. 상기 베리어막 패턴(135)은 TiN, TiAlN,  $TiSi_x$ , TiSiN, TaSiN, 및

TaAlN을 포함하는 그룹에서 선택되는 적어도 하나의 물질의 단일막 또는 다중막으로 이루어진다. 도시하지는 않았지만 상기 베리어막 패턴(135)과 상기 매몰콘택(125) 사이에 오믹층(Ohmic layer)으로서 티타늄실리사이드(TiSi<sub>x</sub>)막이 개재될 수 있다. 그외의 구조 및 물질의 종류등은 실시예 1의 도 3과 같다.

<47> 상기 구조에 있어서, 상기 베리어막패턴(135)은 산소 및 수소등의 투과를 차단하여 상기 매몰콘택(130)의 산화를 방지하는 역할을 한다. 또한 상기 베리어막 패턴(135)은 상기 하부전극(140)과 접착력이 좋다.

<48> 도 8a 내지 도 8d는 도 7의 강유전체 메모리 소자를 순차적으로 형성하는 방법을 나타내는 공정단면도들이다.

<49> 도 8a를 참조하면, 도 4c의 상태에서 도전막(129)에 대해 CMP(Chemical mechanical polishing)등의 평탄화 공정을 실시하여 보호접착막(120)을 노출시키는 동시에 상기 콘택홀(125) 안에 상기 도전막(129)으로 이루어지는 매몰콘택(도 4d의 130)을 형성한다. 전면 에치백 공정을 사용하여 상기 매몰콘택(도 4d의 130)의 상부를 리세스하여 도8a와 같이 상기 콘택홀(125)의 상당부분을 채우는 매몰콘택(130)을 형성한다. 상기 에치백 공정은 상기 보호접착막(120)과 상기 매몰콘택(130)과의 식각 선택비를 이용하여 진행하며 상기 매몰콘택(130)의 상부가 리세스되는 동안 상기 보호접착막(120)은 거의 식각이 되지 않는다.

<50> 도 8b를 참조하면, 상기 콘택홀(125)의 상당 부분을 채우는 상기 매몰콘택(130)이 형성된 상기 반도체 기판(100)의 전면 상에 베리어막(134)을 적층하여 상기 매몰콘택(130)에 의해 채워지지 않은 상기 콘택홀(125)의 상단부분을 채운다. 이때 상기 베리어막(134)은 스퍼터링(Sputtering), 화학기상증착(Chemical Vapor Deposition), 솔-겔(Sol-gel), 원자박막증착(Atomic layer deposition)을 포함하는 그룹에서 선택되는 적어도 하나의 방법을 이용하여





TiN, TiAlN,  $\text{TiSi}_x$ , TiSiN, TaSiN, 및 TaAlN을 포함하는 그룹에서 선택되는 적어도 하나의 물질로 형성될 수 있다.

- <51> 도 8c를 참조하면, 상기 베리어막(134)에 대해 CMP등의 평탄화 공정을 진행하여 상기 보호접착막(120)을 노출시키는 동시에 상기 콘택홀(125)의 상단부분을 채우는 베리어막 패턴(135)을 형성한다.
- <52> 도 8d를 참조하면, 상기 베리어막 패턴(135) 및 상기 보호접착막(120) 상에 하부전극막(미도시)을 적층하고 패터닝하여 하부전극(140)을 형성한다. 상기 하부전극막(미도시)은 상기 베리어막 패턴(135) 및 상기 보호접착막(120) 상에서 종래와 같이 들뜸 현상(도 1 및 도 2의 E) 없이 잘 증착된다.
- <53> 후속으로 도 7과 같이 상기 하부전극(140)이 형성된 상기 반도체 기판(100) 상에 강유전체막(150)을 콘포말하게 적층한다. 상기 강유전체막(150)이 페로브스카이트 구조를 갖도록 어닐링(annealing) 공정을 진행한다. 이때 상기 강유전체막(150)이 상기 층간절연막(110) 및 상기 베리어막(135)과 접하지 않아 파이로클로르상이 형성되지 않으며 종래와 같이 부피팽창에 의한 보이드(도 1의 V)가 형성되지 않는다. 또한 상기 강유전체막(150)의 형성과정 또는 산소를 이용하는 상기 어닐링 과정에서 상기 베리어막(135)이 노출되지 않으므로, 상기 공정등에 발생할 수 있는 상기 베리어막(135) 내부의 스트레스를 최소화하여 상기 하부전극(140)등이 들뜨는 것을 방지할 수 있다.
- <54> 상기 강유전체막(150) 상에 상부전극막(미도시)을 적층하고 패터닝하여 상기 하부전극(140)과 중첩되며 상기 강유전체막(150)을 일부 덮도록 상부전극(160)을 형성한다. 상기 상부전극(160)은 바람직하게는 도 5와 같이 적어도 2개의 하부전극(140)과 동시에 중첩되도록 형성

된다. 이는 후속에 형성될 플레이트라인을 위한 그루브(groove) 형성시 공정마진을 높일 수 있게 한다.

<55> 본 실시예에서 언급되지 않은 공정조건, 막을 구성하는 물질의 종류 및 막을 형성하는 방법등은 실시예 1과 동일하다.

<56> 도 9는 도 7의 상태에서 일 후속공정을 더 진행하여 형성한 강유전체 메모리 소자의 개략적인 단면도를 나타낸다.

<57> 도 9를 참조하면, 도 7의 상태에서 상부충간절연막(170)을 적층한다. 상기 상부충간절연막(170)은 상기 충간절연막(110)과 동일한 방법으로 동일한 물질로 형성될 수 있다. 상기 상부충간절연막(170)을 패터닝하여 상기 상부전극(160)을 노출시키는 그루브(175)를 형성한다. 이때 상기 상부전극(160)은 식각저지막의 역할을 한다. 상기 그루브(175)의 프로파일을 따라 콘포말하게 도전성 물질을 적층하고 패터닝하여 도 5와 같이 플레이트라인(180)을 형성한다. 상기 상부전극(160)이 적어도 2개의 상기 하부전극(140)과 동시에 중첩됨으로 면적이 넓어 상기 그루브(175) 형성시 충분한 공정 마진을 확보할 수 있다.

<58> 도 10은 도 7의 상태에서 다른 후속공정을 더 진행하여 형성한 강유전체 메모리 소자의 개략적인 단면도를 나타낸다.

<59> 도 10을 참조하면, 도 7의 상태에서 상부충간절연막(170)을 적층한다. 상기 상부충간절연막(170) 상에 스트립 라인(172)등을 형성하는 배선 공정을 진행한 후 상기 스트립 라인(172)을 덮는 상부금속충간절연막(174)을 형성한다. 상기 상부금속충간절연막(174) 및 상기 상부충간절연막(170)을 차례로 패터닝하여 상기 상부전극(160)을 노출시키는 그루브(175)를 형성하고



상기 그루브(175)를 통해 상기 상부전극(160)과 전기적으로 접속하는 플레이트 라인(180)을 형성한다.

#### 【발명의 효과】

<60> 따라서 본 발명에 의한 강유전체 메모리 소자 및 그 형성 방법에 따르면, 보호접착막과 층간절연막이 연속적으로 패터닝되어 종래의 오정렬에 따른 문제점을 해결할 수 있다. 보호접착막이 하부전극 및 강유전체막을 그 하부의 층간절연막으로부터 완전히 분리하여 종래의 계면 반응에 따른 보이드의 형성 및 들뜸 현상을 방지할 수 있다. 베리어막이 매몰콘택의 산화등을 방지할 수 있다. 강유전체막 형성시 베리어막이 노출되지 않으므로 베리어막 내부의 스트레스를 최소화하여 하부전극등의 들뜸 현상을 방지할 수 있다. 강유전체막이 층간절연막 및 베리어막과 접하지 않아 파이로클로르상의 형성 없이 페로브스카이트 구조의 강유전성을 나타내어 강유전체 메모리 소자의 신뢰성을 증가시킬 수 있다. 또한 상부전극이 적어도 2개의 하부전극과 동시에 중첩되어 후속에 플레이트 라인 형성을 위한 그루브 형성시 충분한 공정마진을 확보할 수 있다.

**【특허청구범위】****【청구항 1】**

반도체 기판;

상기 반도체 기판을 노출시키는 콘택홀을 구비하는 차례로 적층된 층간절연막 및 보호 접착막;

상기 콘택홀을 통해 상기 반도체 기판과 전기적으로 접하는 매몰 콘택;

상기 매몰 콘택과 중첩되면서 상기 매몰콘택 주변의 상기 보호접착막의 일부를 덮는 하부전극;

상기 하부전극 및 상기 보호접착막을 덮는 강유전체막; 및

상기 강유전체막을 덮으며 상기 하부전극과 중첩되는 상부전극을 구비하는 강유전체 메모리 소자.

**【청구항 2】**

제 1 항에 있어서,

상기 보호접착막은 티타늄산화막( $\text{TiO}_2$ )으로 이루어지는 것을 특징으로 하는 강유전체 메모리 소자.

**【청구항 3】**

제 1 항에 있어서,

상기 콘택홀 안에서 상기 매몰콘택과 상기 하부전극 사이에 개재되는 베리어막패턴을 더 구비하는 것을 특징으로 하는 강유전체 메모리 소자.

## 【청구항 4】

제 3 항에 있어서,

상기 베리어막 패턴은  $\text{TiN}$ ,  $\text{TiAlN}$ ,  $\text{TiSi}_x$ ,  $\text{TiSiN}$ ,  $\text{TaSiN}$ , 및  $\text{TaAlN}$ 을 포함하는 그룹에서 선택되는 적어도 하나의 물질로 이루어지는 것을 특징으로 하는 강유전체 메모리 소자.

## 【청구항 5】

제 1 항에 있어서,

상기 강유전체막은  $\text{PZT}[\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3]$ ,  $\text{PbTiO}_3$ ,  $\text{SrTiO}_3$ ,  $\text{BaTiO}_3$ ,  $\text{PbLaTiO}_3$ ,  $(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$ ,  $\text{BST}[(\text{Ba}, \text{Sr})\text{TiO}_3]$ ,  $\text{Ba}_4\text{Ti}_3\text{O}_{12}$ ,  $\text{SrBi}_2\text{Ta}_2\text{O}_9$  및  $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 을 구비하는 그룹에서 선택되는 하나의 물질로 이루어지는 것을 특징으로 하는 강유전체 메모리 소자.

## 【청구항 6】

제 1 항에 있어서,

상기 하부전극 및 상기 상부전극은 루테튬( $\text{Ru}$ ), 이리듐( $\text{Ir}$ ), 플래티늄( $\text{Pt}$ ), 로듐( $\text{Rh}$ ), 오스뮴( $\text{Os}$ ), 팔라듐( $\text{Pd}$ ), 루테튬산화물( $\text{RuO}_x$ ), 이리듐산화물( $\text{IrO}_x$ ), 및 플래티늄산화물( $\text{PtO}_x$ ), 로듐산화물( $\text{RhO}_x$ ), 오스뮴산화물( $\text{OsO}_x$ ), 및 팔라듐산화물( $\text{PdO}_x$ )을 구비하는 그룹에서 선택되는 적어도 하나의 물질로 이루어지는 것을 특징으로 하는 강유전체 메모리 소자.

## 【청구항 7】

제 1 항에 있어서,

상기 매물 콘택은 텅스텐, 알루미늄, 구리, 및 불순물이 도핑되거나 도핑되지 않은 폴리실리콘을 포함하는 그룹에서 선택되는 적어도 하나의 물질로 이루어지는 것을 특징으로 하는 강유전체 메모리 소자.

## 【청구항 8】

제 1 항 또는 제 2 항에 있어서,

상기 상부전극은 적어도 2개의 상기 하부전극들과 동시에 중첩되는 것을 특징으로 하는  
강유전체 메모리 소자.

## 【청구항 9】

제 8 항에 있어서,

상기 강유전체막과 상기 상부전극을 덮는 상부충간절연막; 및

상기 상부충간절연막을 관통하여 상기 상부전극과 전기적으로 접속하는 플레이트 라인을  
더 구비하는 것을 특징으로 하는 강유전체 메모리 소자.

## 【청구항 10】

제 9 항에 있어서,

상기 상부충간절연막 상에 스트립 라인; 및

상기 스트립 라인을 덮는 상부금속충간절연막을 더 구비하되,

상기 플레이트 라인은 상기 상부금속충간절연막과 상기 상부충간절연막을 차례로 관통하  
여 상기 상부전극과 전기적으로 접속하는 것을 특징으로 하는 강유전체 메모리 소자.

## 【청구항 11】

제 9 항에 있어서,

상기 플레이트 라인은 도전성 물질로 이루어지는 것을 특징으로 하는 강유전체 메모리  
소자.

## 【청구항 12】

반도체 기판 상에 층간절연막 및 보호접착막을 차례로 적층하는 단계;

상기 보호접착막 및 상기 층간절연막을 패터닝하여 상기 반도체 기판을 노출시키는 콘택홀을 형성하는 단계;

상기 콘택홀 안에 상기 반도체 기판과 전기적으로 접속하는 매몰콘택을 형성하는 단계;

상기 매몰 콘택과 중첩되면서 상기 매몰콘택 주변의 상기 보호접착막의 일부를 덮도록 하부전극을 형성하는 단계;

상기 하부전극 및 상기 보호접착막을 덮도록 강유전체막을 형성하는 단계; 및

상기 강유전체막을 덮으며 상기 하부전극과 중첩되도록 상부전극을 형성하는 단계를 구비하는 강유전체 메모리 소자의 형성 방법.

## 【청구항 13】

제 12 항에 있어서,

상기 보호접착막은 티타늄산화막으로 형성되는 것을 특징으로 하는 강유전체 메모리 소자의 형성 방법.

## 【청구항 14】

제 12 항에 있어서,

상기 매몰콘택을 형성하는 단계는,

상기 콘택홀이 형성된 반도체 기판의 전면 상에 도전막을 적층하여 상기 콘택홀을 채우는 단계; 및

상기 도전막에 대해 평탄화 공정을 실시하여 상기 보호접착막을 노출시키는 동시에 상기 콘택홀 안에 상기 도전막으로 이루어지는 매몰콘택을 형성하는 단계를 구비하는 것을 특징으로 하는 강유전체 메모리 소자의 형성 방법.

【청구항 15】

제 12 항에 있어서,

상기 하부전극을 형성하기 전에,

상기 매몰콘택의 상부를 리세스시키는 단계;

베리어막을 적층하여 상기 콘택홀 내의 상기 매몰콘택이 리세스된 영역을 채우는 단계;

및

상기 베리어막에 대해 평탄화 공정을 진행하여 상기 보호접착막을 노출시키는 동시에 상기 콘택홀 내에 상기 리세스된 매몰콘택 상에 베리어막패턴을 형성하는 단계를 더 구비하는 것을 특징으로 하는 강유전체 메모리 소자의 형성 방법.

【청구항 16】

제 15 항에 있어서,

상기 베리어막은  $TiN$ ,  $TiAlN$ ,  $TiSi_x$ ,  $TiSiN$ ,  $TaSiN$ , 및  $TaAlN$ 을 포함하는 그룹에서 선택되는 적어도 하나의 물질로 형성되는 것을 특징으로 하는 강유전체 메모리 소자의 형성 방법.

【청구항 17】

제 15 항에 있어서,



상기 베리어막은 스퍼터링(Sputtering), 화학기상증착(Chemical Vapor Deposition), 솔-겔(Sol-gel), 원자박막증착(Atomic layer deposition)을 포함하는 그룹에서 선택되는 적어도 하나의 방법을 이용하여 형성되는 것을 특징으로 하는 강유전체 메모리 소자의 형성 방법.

#### 【청구항 18】

제 12 항에 있어서,

상기 강유전체막은  $\text{PZT}[\text{Pb}(\text{Zr},\text{Ti})\text{O}_3]$ ,  $\text{PbTiO}_3$ ,  $\text{SrTiO}_3$ ,  $\text{BaTiO}_3$ ,  $\text{PbLaTiO}_3$ ,  $(\text{Pb},\text{La})(\text{Zr},\text{Ti})\text{O}_3$ ,  $\text{BST}[(\text{Ba},\text{Sr})\text{TiO}_3]$ ,  $\text{Ba}_4\text{Ti}_3\text{O}_{12}$ ,  $\text{SrBi}_2\text{Ta}_2\text{O}_9$  및  $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 을 구비하는 그룹에서 선택되는 하나의 물질로 형성되는 것을 특징으로 하는 강유전체 메모리 소자의 형성 방법

#### 【청구항 19】

제 12 항에 있어서,

상기 하부전극 및 상기 상부전극은 루테튬(Ru), 이리듐(Ir), 플래티늄(Pt), 로듐(Rh), 오스뮴(Os), 팔라듐(Pd), 루테튬산화물( $\text{RuO}_x$ ), 이리듐산화물( $\text{IrO}_x$ ), 및 플래티늄산화물( $\text{PtO}_x$ ), 로듐산화물( $\text{RhO}_x$ ), 오스뮴산화물( $\text{OsO}_x$ ), 및 팔라듐산화물( $\text{PdO}_x$ )을 구비하는 그룹에서 선택되는 적어도 하나의 물질로 형성되는 것을 특징으로 하는 강유전체 메모리 소자의 형성 방법.

#### 【청구항 20】

제 12 항 또는 제 15 항에 있어서,

상기 상부전극은 적어도 2개의 상기 하부전극들과 동시에 중첩되도록 형성되는 것을 특징으로 하는 강유전체 메모리 소자의 형성 방법.

#### 【청구항 21】

제 20 항에 있어서,

상기 강유전체막과 상기 상부전극을 덮는 상부충간절연막을 형성하는 단계; 및  
상기 상부충간절연막을 관통하여 상기 상부전극과 전기적으로 접속하는 플레이트 라인을  
형성하는 단계를 더 구비하는 것을 특징으로 하는 강유전체 메모리 소자의 형성 방법.

**【청구항 22】**

제 21 항에 있어서,  
상기 플레이트 라인을 형성하기 전에,  
상기 상부충간절연막 상에 스트립라인을 형성하는 단계; 및  
상기 스트립라인을 덮는 상부금속충간절연막을 형성하는 단계를 더 구비하되,  
상기 플레이트 라인은 상기 상부금속충간절연막과 상기 상부충간절연막을 차례로 관통하  
여 상기 상부전극과 전기적으로 접속하는 것을 특징으로 하는 강유전체 메모리 소자의 형성 방  
법.

**【청구항 23】**

제 21 항에 있어서,  
상기 플레이트 라인은 도전성 물질로 형성되는 것을 특징으로 하는 강유전체 메모리 소  
자의 형성 방법.

**【청구항 24】**

제 22 항에 있어서,  
상기 충간절연막, 상기 상부충간절연막, 및 상기 상부금속충간절연막은  
PECVD(Plasma-enhanced chemical vapor deposition), LPCVD(Low-pressure chemical vapor  
deposition), ALD(Atomic layer deposition), 및 SOG(Spin on glass)를 포함하는 그룹에서 선



택되는 적어도 하나의 방법을 이용하여 형성되는 것을 특징으로 하는 강유전체 메모리 소자의 형성 방법.

【청구항 25】

제 12 항에 있어서,

상기 강유전체막은 스퍼터링(Sputtering), 화학기상증착(Chemical Vapor Deposition), 솔-겔(Sol-gel), 및 원자박막증착(Atomic layer deposition)을 포함하는 그룹에서 선택되는 적어도 하나의 방법을 이용하여 형성되는 것을 특징으로 하는 강유전체 메모리 소자의 형성 방법.

【청구항 26】

제 12 항에 있어서,

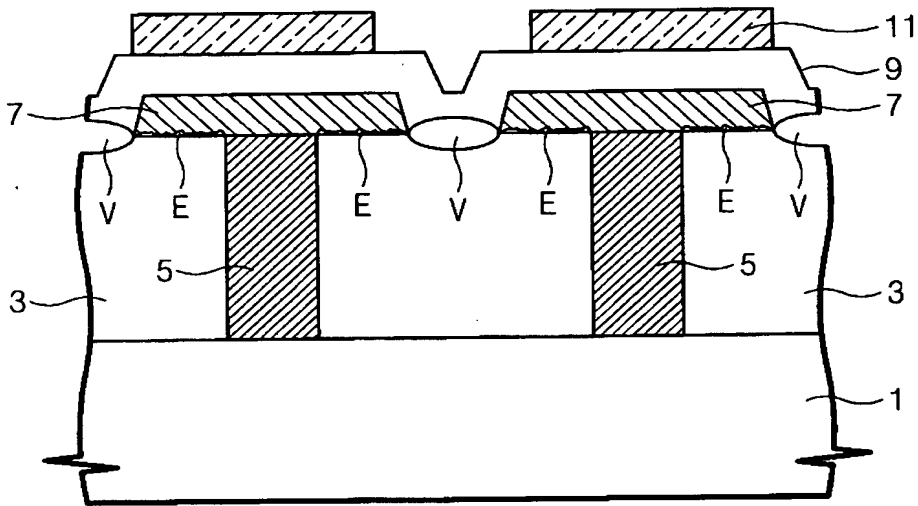
상기 매몰콘택은 텅스텐, 알루미늄, 구리, 및 불순물이 도핑되거나 도핑되지 않은 폴리실리콘을 포함하는 그룹에서 선택되는 적어도 하나의 물질로 형성되는 것을 특징으로 하는 강유전체 메모리 소자의 형성 방법.



【도면】

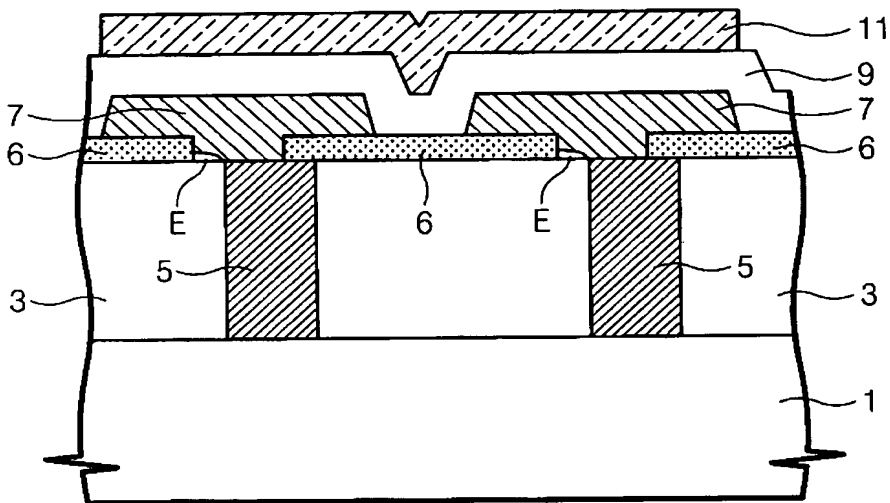
【도 1】

(종래 기술)

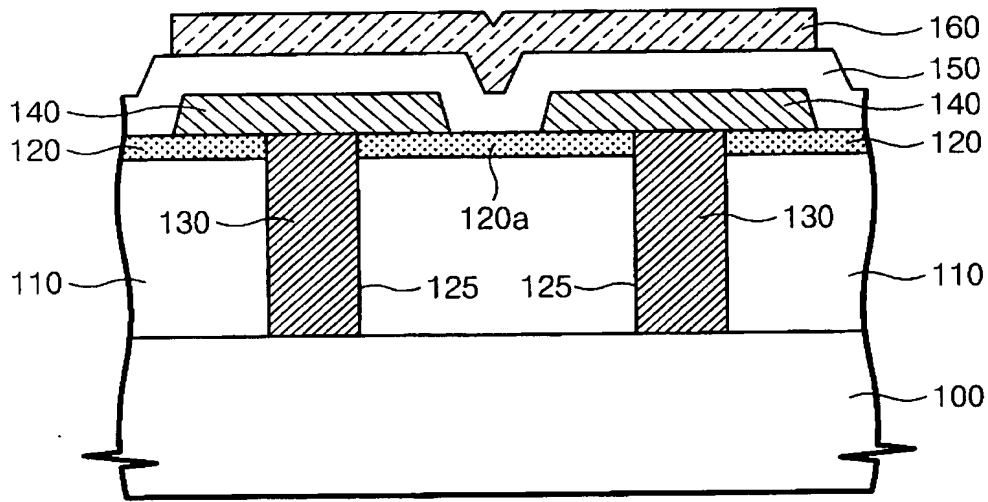


【도 2】

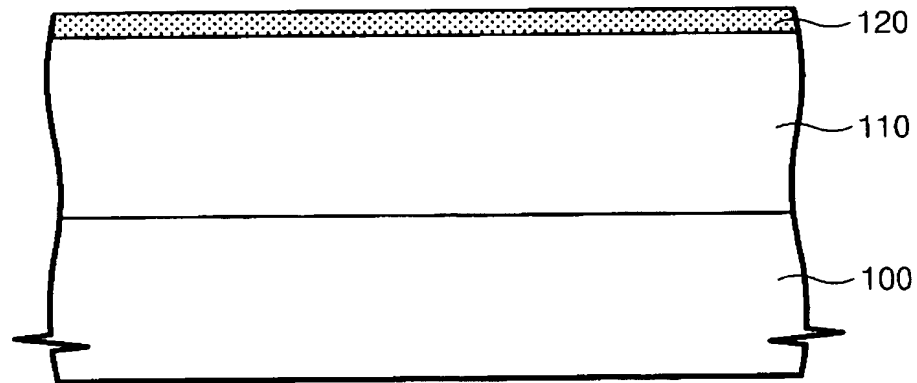
(종래 기술)



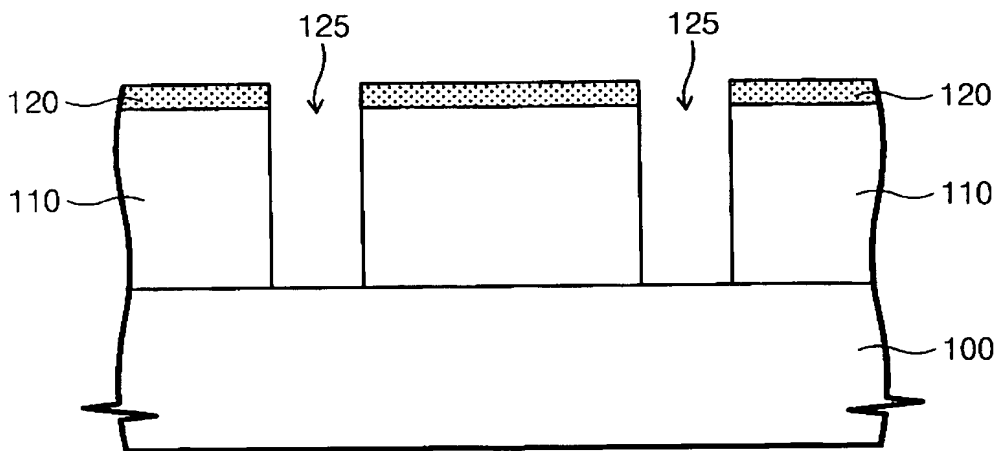
【도 3】



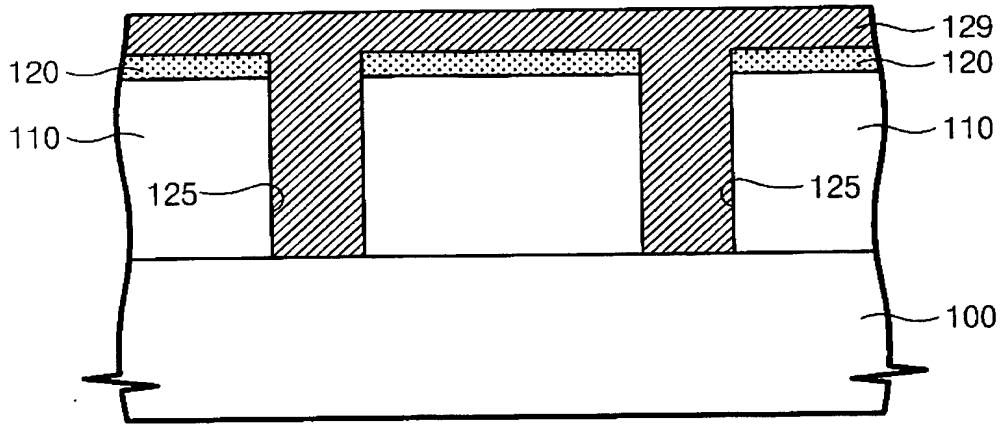
【도 4a】



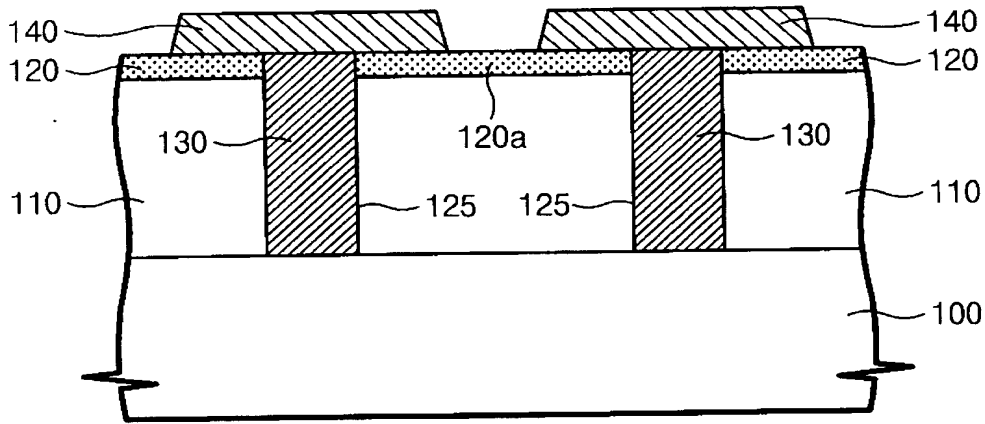
【도 4b】



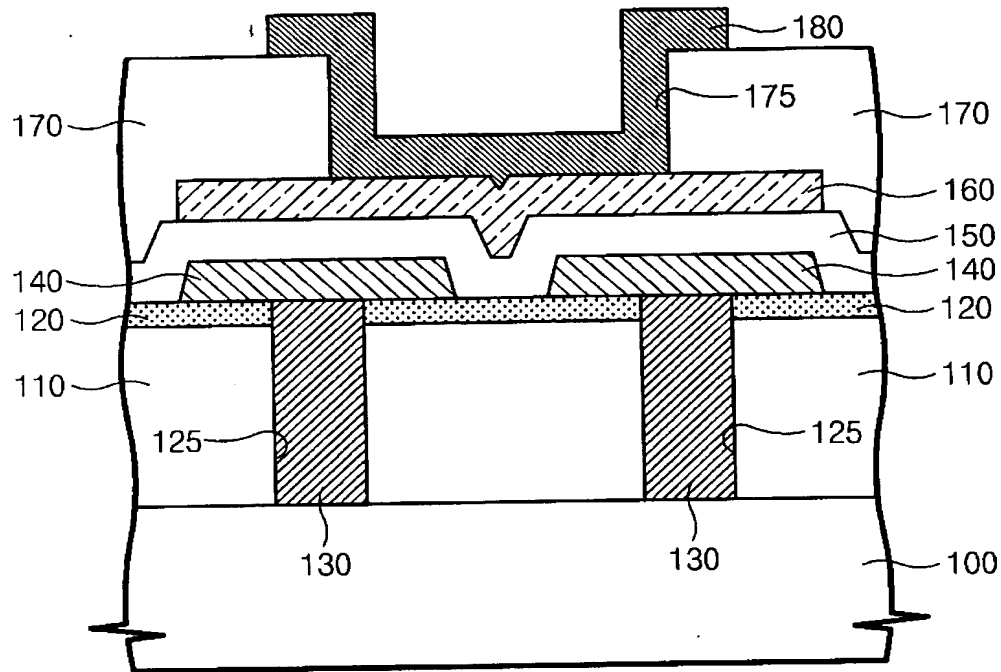
【도 4c】



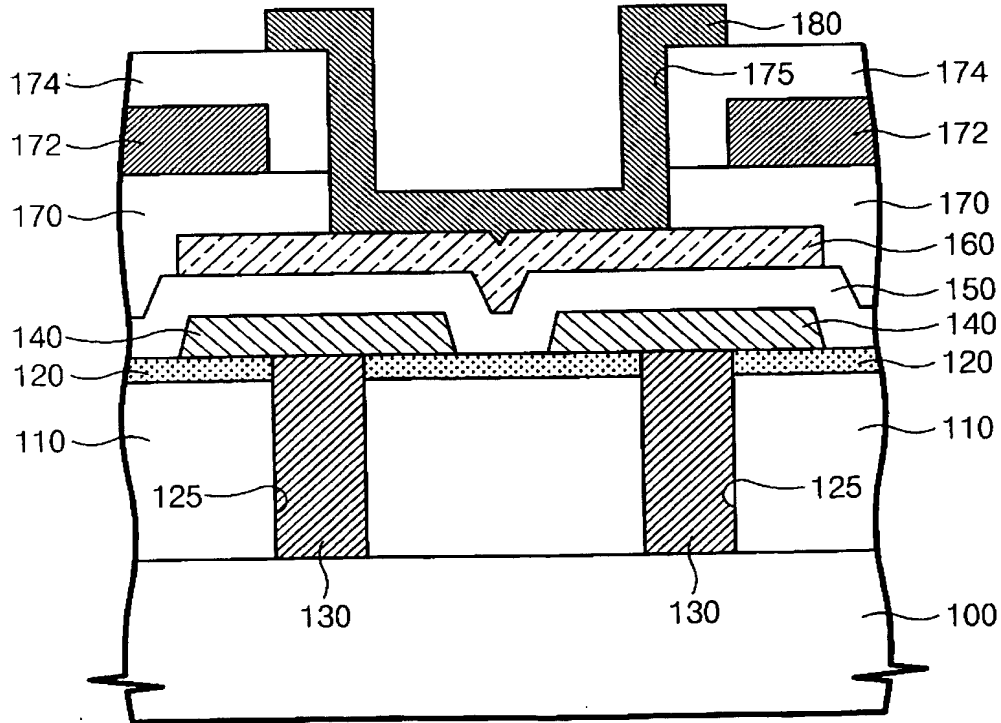
【도 4d】



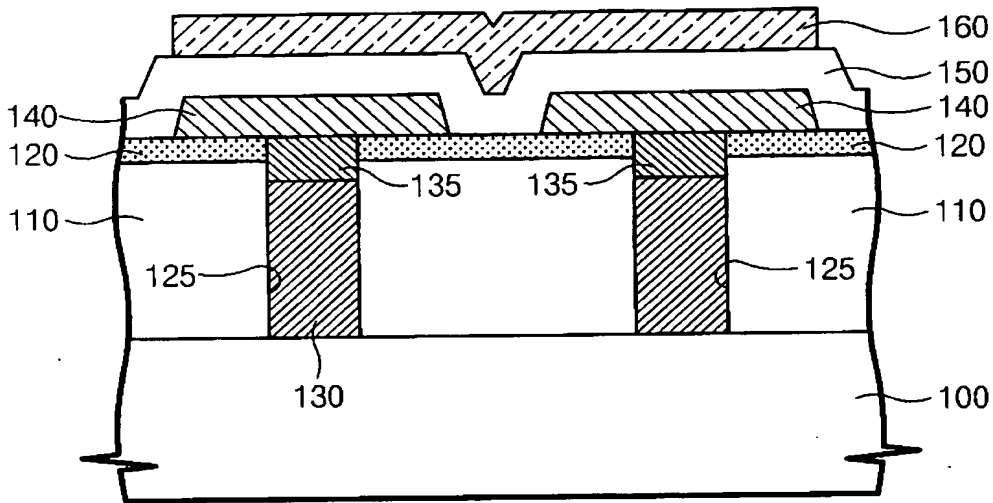
【도 5】



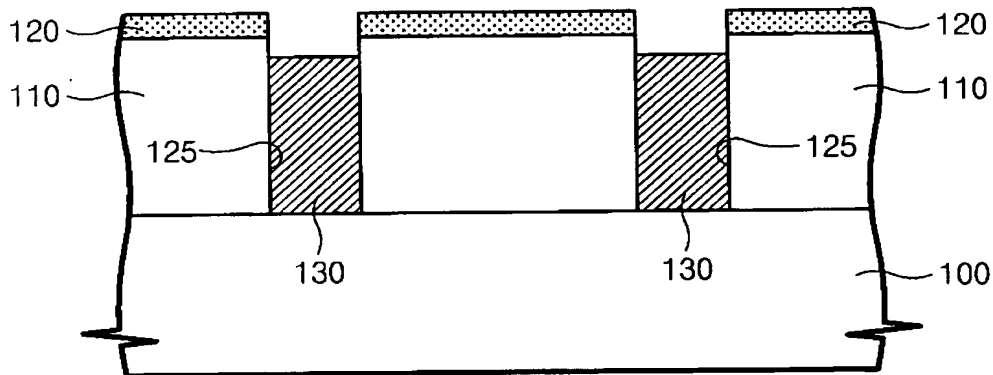
【도 6】



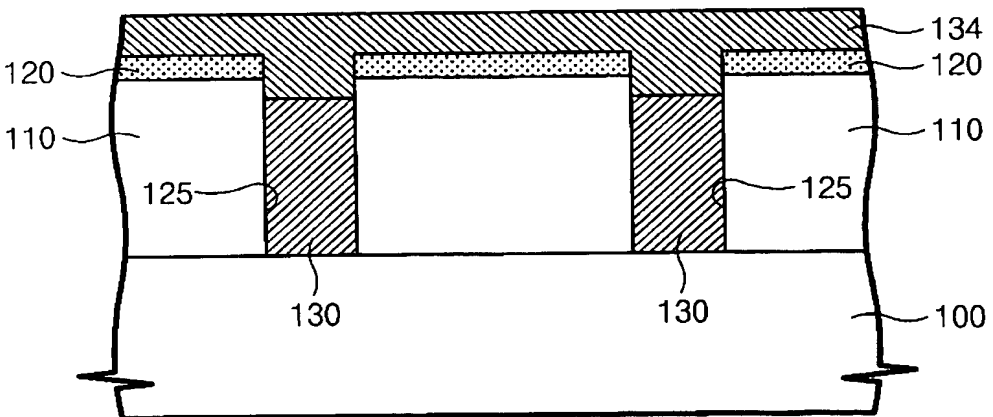
【도 7】



【도 8a】

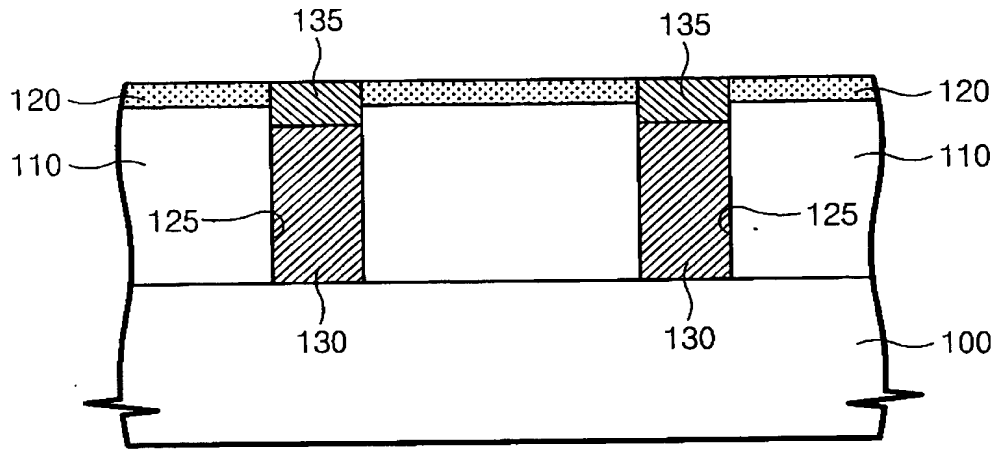


【도 8b】

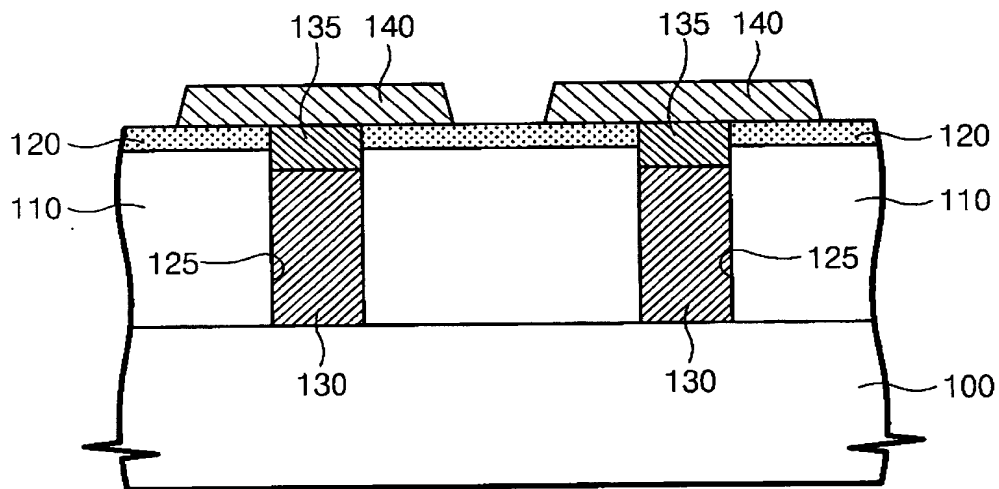




【도 8c】

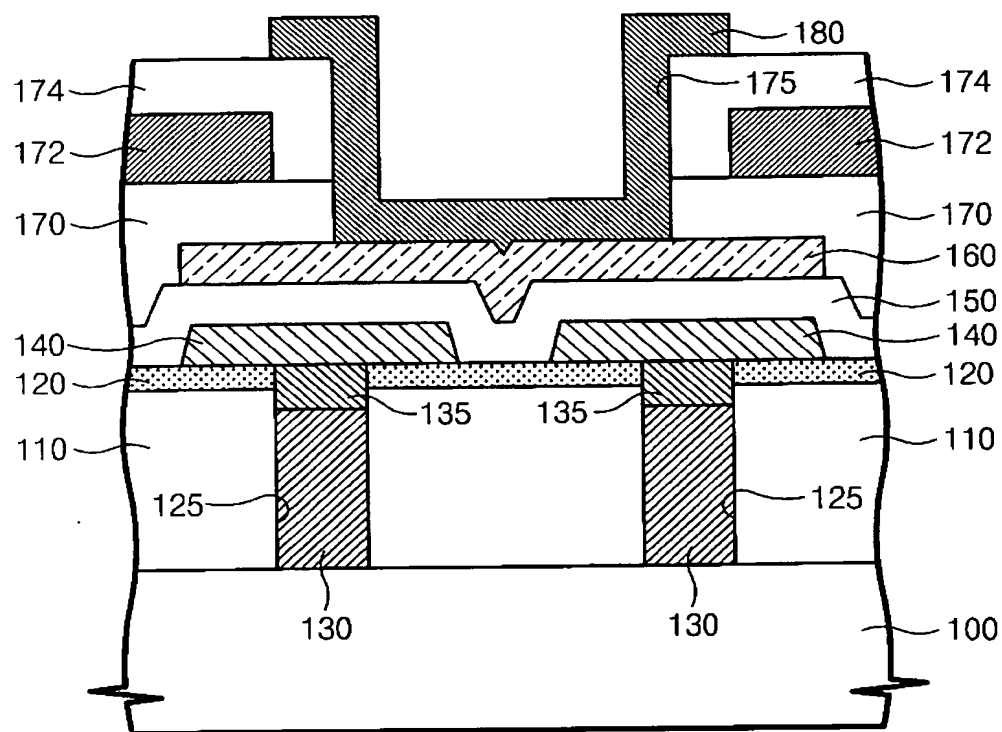


【도 8d】





【도 9】



【도 10】

